

**1. Cấu trúc mạch SRAM 8T**

**−** Mạch gồm **8 transistor MOSFET**, trong đó:

**+ M1, M2**: Transistor truy xuất (Access Transistors): Gồm 2 nMOS (M1 và M2) dùng để kết nối ô nhớ với các đường bitline trong quá trình đọc và ghi dữ liệu.

**+ M3, M4, M5, M6**: Mạch chốt (Latch) lưu trữ dữ liệu (giống SRAM 6T):

• Gồm 2 pMOS (M3 và M5) và 2 nMOS (M4 và M6) tạo thành 2 cổng NOT đối nhau để lưu trữ dữ liệu.

**+ M7, M8**: Gồm 2 nMOS bổ sung (M7 và M8) nhằm cải thiện độ ổn định và hiệu suất đọc dữ liệu.

**2. Nguyên lý hoạt động của Schematic SRAM 8T**

**− Lưu trữ dữ liệu (Hold State)**

+ Cặp transistor **M3-M4 và M5-M6** tạo thành một mạch chốt bistable latch.

+ Nút  **và ​** giữ trạng thái logic ổn định (0 hoặc 1) nhờ cơ chế phản hồi dương.

+ Ví dụ: Nếu thì và ngược lại.

**− Ghi dữ liệu (Write Operation)**

+ Khi **WWL (Write Word Line)** được kích hoạt (logic 1), các transistor truy xuất **M1, M2** dẫn điện.

+ Giá trị logic từ đường bit **WBL (Write Bit Line) và WBLB** sẽ được ghi vào các nút  **và ​**.

+ Nếu **WBL = 1, WBLB = 0** → **,** .

+ Nếu **WBL = 0, WBLB = 1** → **,** .

**− Đọc dữ liệu (Read Operation)**

+ Khi **RWL (Read Word Line)** được kích hoạt (logic 1), transistor **M7, M8** được bật.

+ Giá trị lưu trữ tại  **và ​​** sẽ được phản ánh lên đường bit đọc **RBI**.

+ Nếu , dòng điện chạy qua **M8**, làm cho **RBI = 0** (Logic 0).

+ Nếu , không có dòng qua **M8**, làm cho **RBI = 1** (Logic 1).

+ Cấu trúc này giúp cải thiện độ tin cậy của quá trình đọc so với SRAM 6T vì tránh làm ảnh hưởng đến trạng thái của mạch chốt trong khi đọc dữ liệu.

**\* Vai trò của M7, M8 trong mạch SRAM 8T**

Hai transistor **M7 và M8** đóng vai trò quan trọng trong quá trình đọc dữ liệu, đó là:

**− Tách biệt đường đọc dữ liệu**

+ Trong SRAM 6T, dữ liệu được đọc trực tiếp từ nút **hoặc ​**,

🡺 Điều này có thể làm ảnh hưởng đến trạng thái lưu trữ nếu đường bit có mức trở kháng thấp.

+ Trong SRAM 8T, **M7 và M8** tạo ra một đường đọc riêng (Read Bit Line - **RBI**)

🡺 Giúp giảm tác động đến cặp chốt lưu trữ (M3, M4, M5, M6) khi đọc dữ liệu.

**− Cải thiện độ tin cậy khi đọc dữ liệu**

+ Khi **RWL (Read Word Line)** được kích hoạt, **M7** bật, cho phép dòng điện chạy từ **Q** qua **M8** xuống **Vss** nếu **Q = 1**.

+ Nếu , **M8 dẫn** 🡪 tạo một dòng điện kéo xuống **RBI** 🡪 làm cho **RBI = 0** (Logic 0).

+ Nếu , **M8 tắt** 🡪 không có dòng điện chạy xuống **Vss** 🡪 **RBI = 1** (Logic 1).

🡺 Cách này giúp tăng cường tính ổn định khi đọc dữ liệu mà không làm ảnh hưởng đến trạng thái của mạch chốt.

**− Giảm nhiễu và tăng tốc độ đọc**

+ Vì **M7 và M8** tạo một đường đọc riêng biệt, các biến động ở trên các đường bit khi đọc sẽ không tác động lên phần lưu trữ của SRAM.

🡺 Điều này giúp quá trình đọc nhanh hơn và tiêu thụ năng lượng thấp hơn.

**\* M7 và M8 có vai trò gì ở ngõ ra?**

**−** **M7 và M8** không phải trực tiếp là ngõ ra, mà đóng vai trò trung gian trong quá trình đọc dữ liệu.

🡪 Ngõ ra thực ra là đường **RBI (Read Bit Line)**.

**− Vai trò cụ thể của M7 và M8 trong quá trình đọc dữ liệu:**

+ **M7** là transistor điều khiển: Khi **RWL (Read Word Line)** được kích hoạt, **M7** sẽ bật, cho phép dòng điện đi qua **M8** nếu **Q = 1**.

+ **M8** là transistor đọc dữ liệu: Nó hoạt động như một công tắc giữa **Q** và **RBI**.

• Nếu **Q = 1**, **M8 dẫn**, kéo **RBI xuống 0**.

• Nếu **Q = 0**, **M8 tắt**, **RBI giữ mức 1**.

**+ Ngõ ra thực ra là RBI (Read Bit Line)**

• **M7 và M8** chỉ là phần trung gian trong quá trình điều khiển đọc dữ liệu.

• Giá trị đọc cuối cùng xuất hiện tại **RBI**, nên **RBI** mới là ngõ ra của mạch đọc trong SRAM 8T.

🡺 **M7 và M8** không phải là ngõ ra trực tiếp, nhưng chúng tạo ra tín hiệu ngõ ra trên RBI.

**\* Có được đặt M7 và M8 ở ngõ vào hay không?**

**🡺 KHÔNG ĐƯỢC VÌ:**

**− Chức năng của M1 và M2 khác với M7 và M8**

+ **M1 và M2 (Access Transistors)**:

• Kết nối với **WBL và WBLB** là để thực hiện **quá trình ghi dữ liệu** vào ô nhớ.

• Hoạt động khi **WWL (Write Word Line)** được kích hoạt, cho phép dữ liệu từ đường bit ghi vào mạch chốt lưu trữ ( **và** ).

**+ M7 và M8 (Read Transistors)**:

• Tạo đường đọc **RBI** để lấy dữ liệu ra mà không ảnh hưởng đến giá trị được lưu trữ.

• Hoạt động khi **RWL (Read Word Line)** được kích hoạt.

+ **Nếu đặt M7 và M8** ở vị trí của **M1,** sẽ làm mất khả năng ghi dữ liệu

• Khi đó, đường ghi **WBL/WBLB** sẽ bị ảnh hưởng bởi M7/M8, làm gián đoạn quá trình ghi.

• Vì M7 và M8 chỉ cho phép đọc dữ liệu chứ không cho phép ghi, việc thay thế sẽ khiến SRAM không thể ghi giá trị mới.

+ **Thiết kế SRAM 8T:** Nên tách biệt đường ghi và đường đọc

🡺 **M1 và M2** dành riêng cho ghi dữ liệu (WBL/WBLB).

🡺 **M7 và M8** dành riêng cho đọc dữ liệu (RBI).

🡺 Điều này giúp quá trình đọc không ảnh hưởng đến quá trình lưu trữ, tăng độ tin cậy của SRAM.

**\* Thông số PMOS và NMOS**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Cặp Transiister** | **Loại** | **W (nm)** | **L (nm)** | **Vai trò** |
| M1, M2 | NMOS | 120 - 200 | 100 | Transistor truy xuất (Access) |
| M3, M5 | PMOS | 300 – 600 | 100 | Transistor tạo latch (Pull-up) |
| M4, M6 | NMOS | 200 – 300 | 100 | Transistor tạo latch (Pull-down) |
| M7, M8 | NMOS | 150 - 250 | 100 | Transistor đọc dữ liệu |

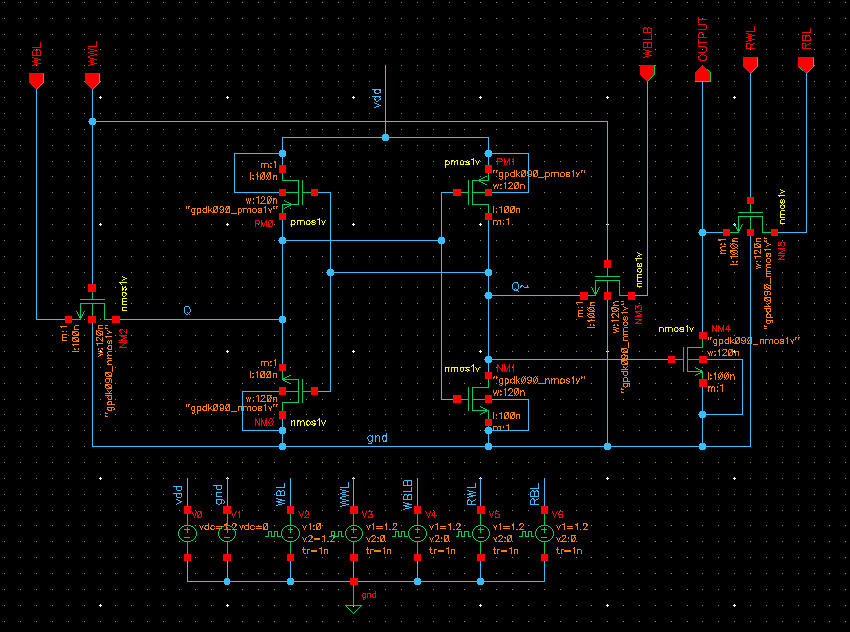
**− W của PMOS (M3,M5) > NMOS (M4, M6) 🡺 để cân bằng dòng điện giữa pull-up và pull-down.**

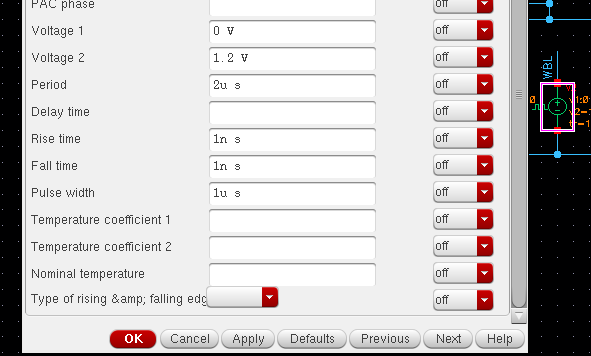
**− Cặp M1 và M2 cần có < Các transistor latch 🡺 tránh ảnh hưởng trạng thái lưu trữ.**

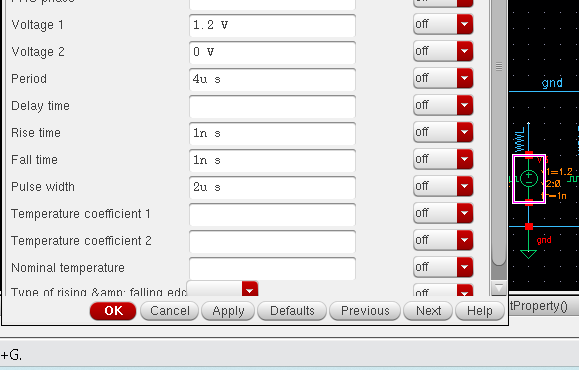
**− M7 và M8 thường có W nhỏ hơn M4,M6 🡺 tránh ảnh hưởng đến mạch chốt.**

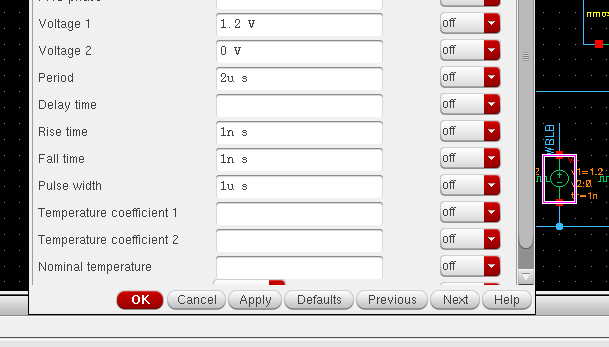
**− Thông số L min là 100nm nên không xuống được nữa ==)).**

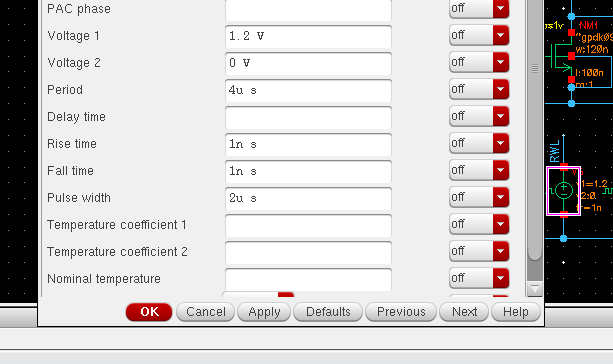
**I. MẠCH NGUYÊN LÝ SRAM 8T**

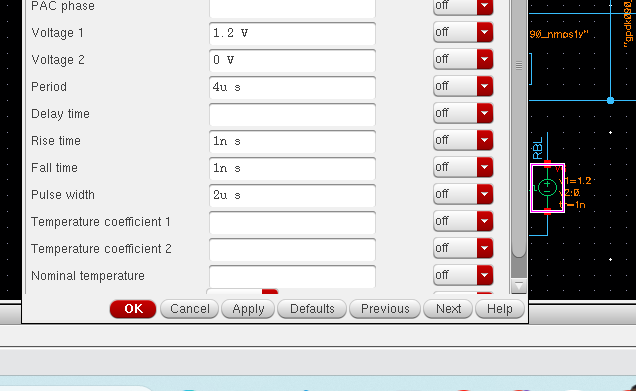
****

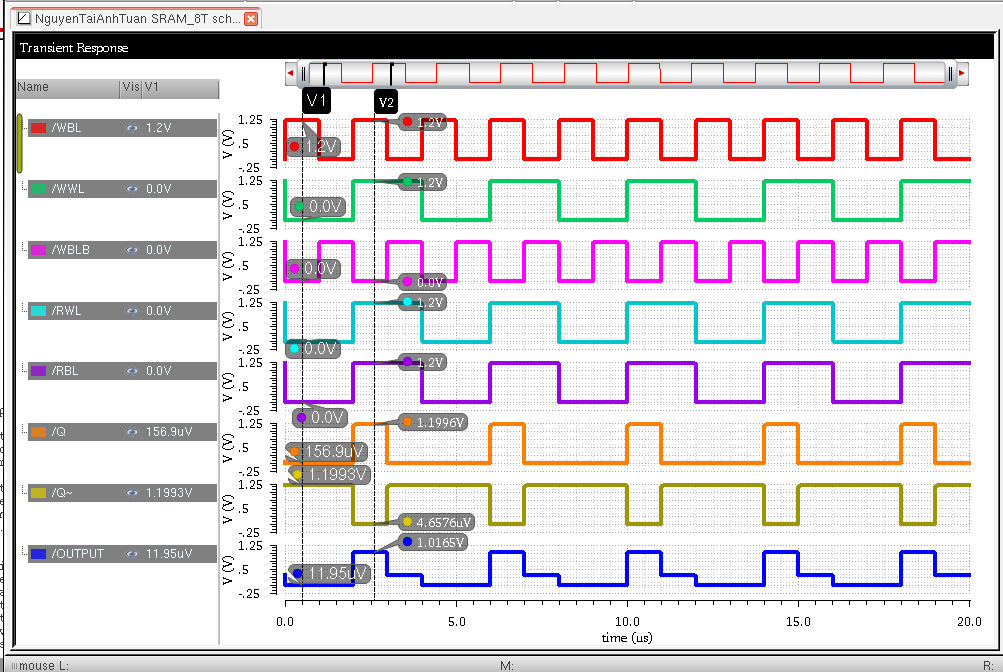
****

****

****

****

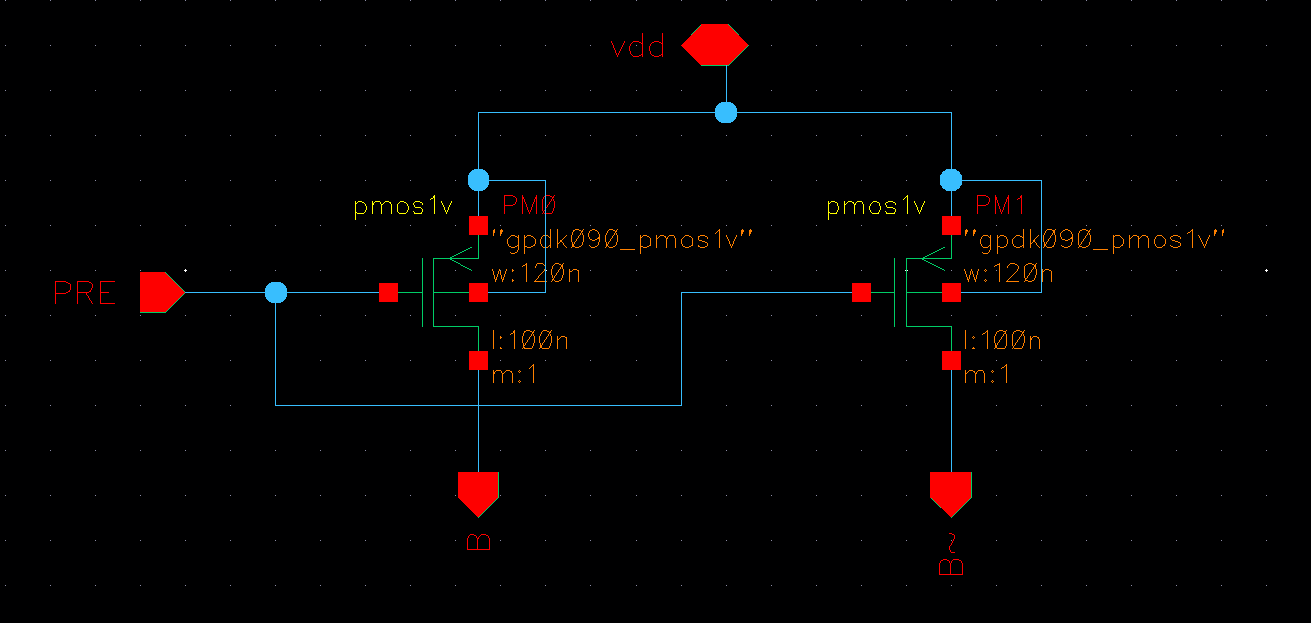
****

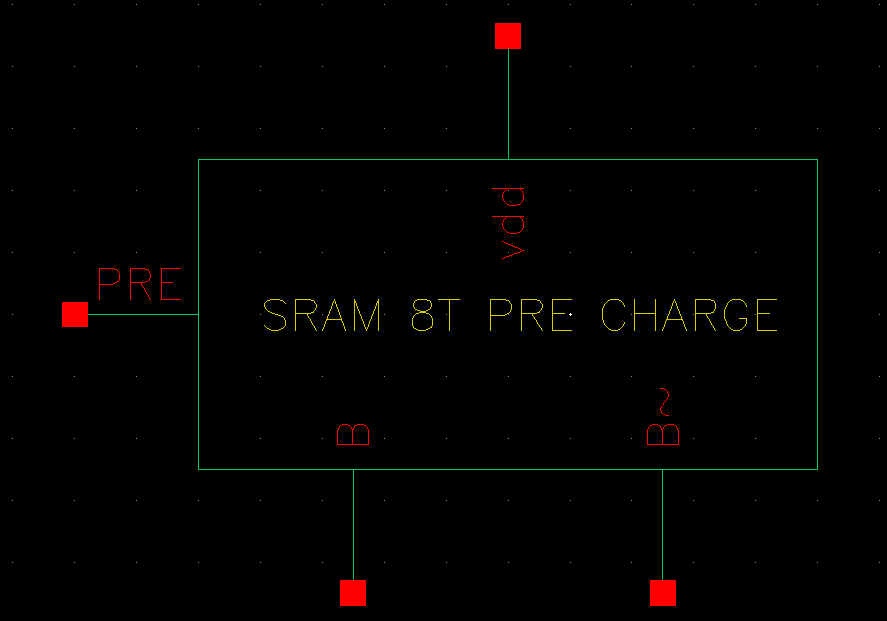
****

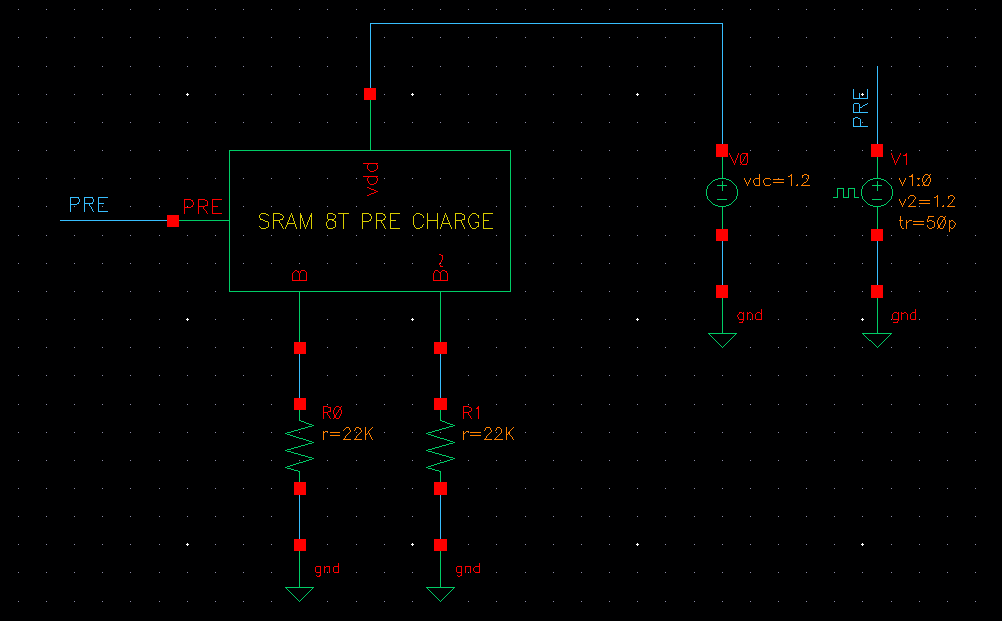
**a. Độ trễ delay truyền của ngõ vào (WBL) và ngõ ra Q**

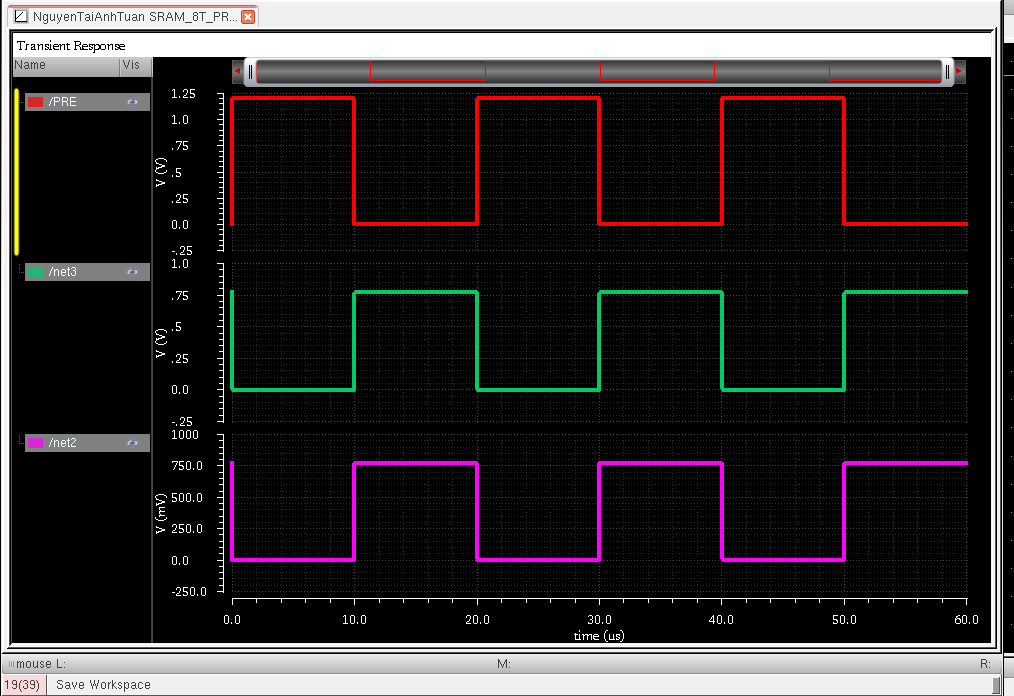
**b. Độ trễ delay truyền tại ngõ ra (Q~) và ouput**

**II. MẠCH NẠP TRƯỚC (PRE CHARGE)**

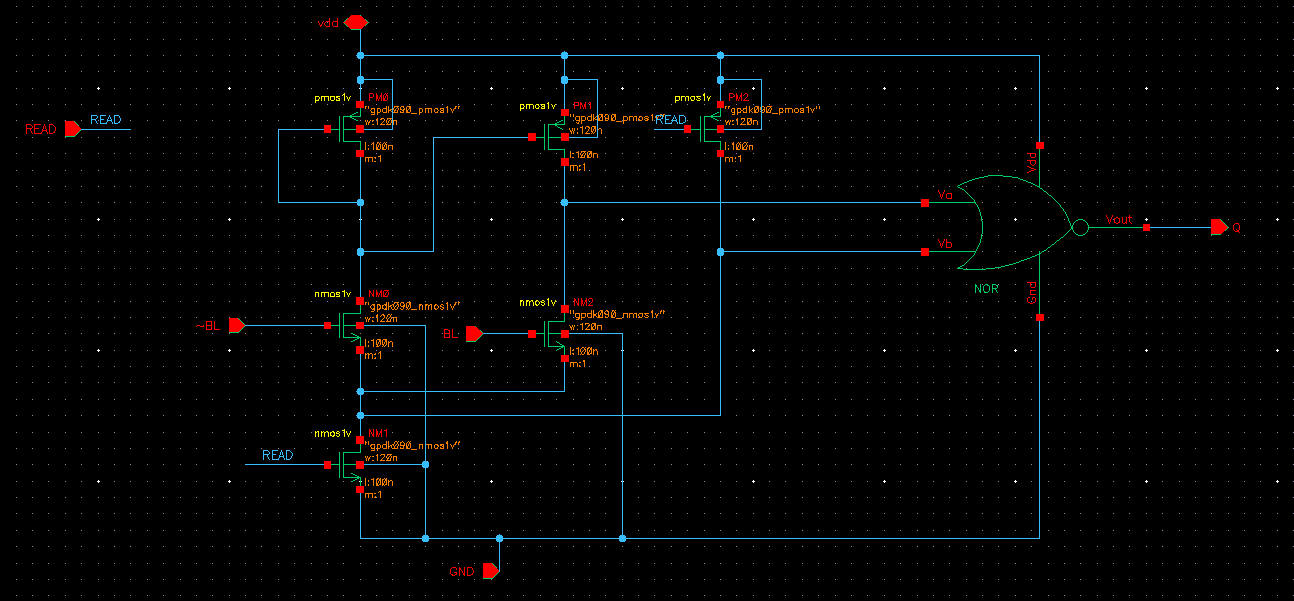
****

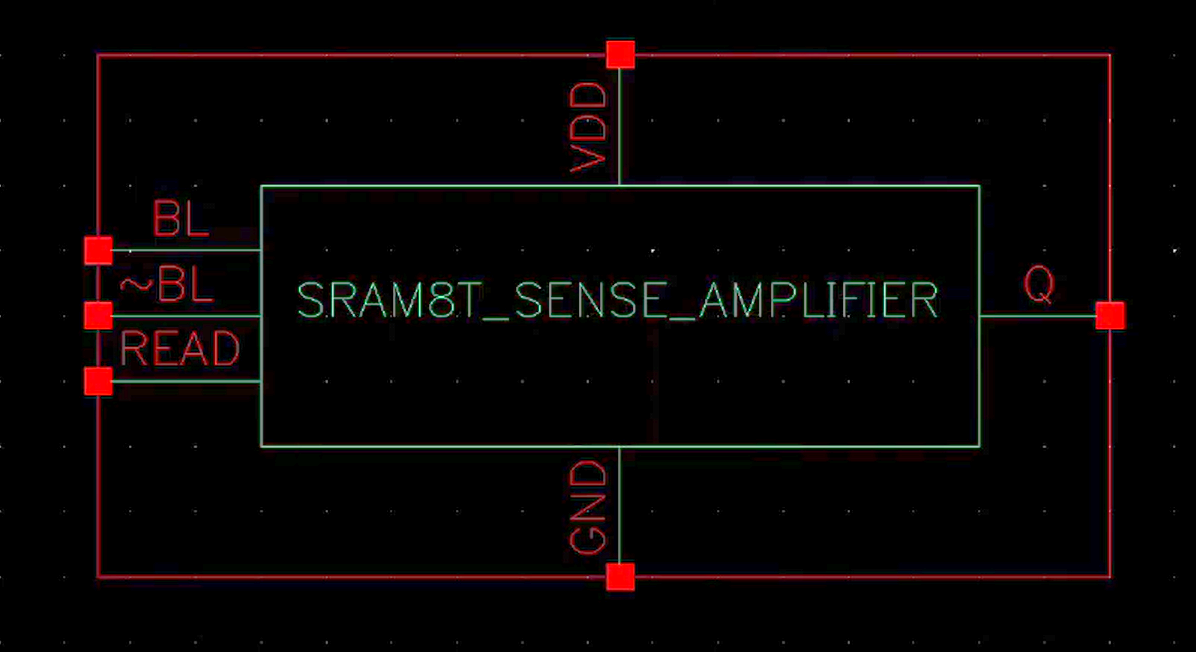
****

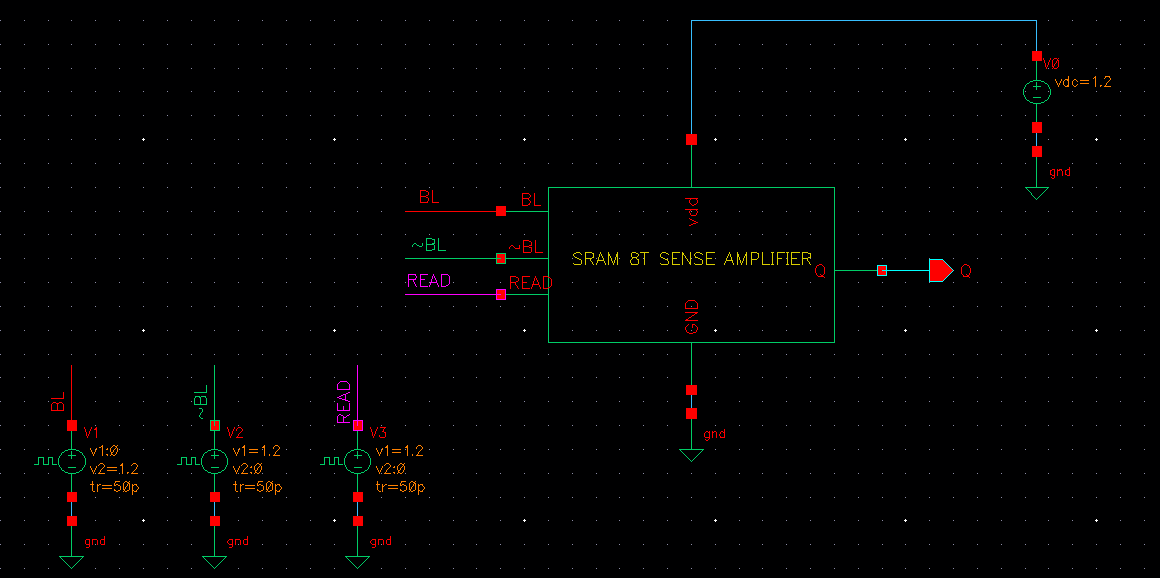
****

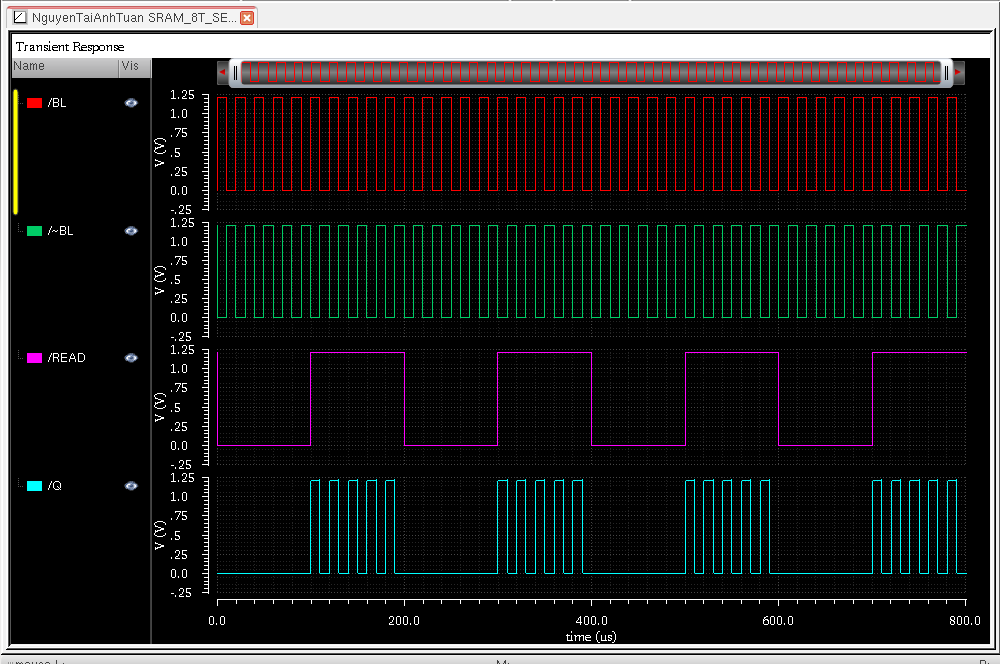
****

**III. MẠCH KHUẾCH ĐẠI CẢM NHẬN (SENSE\_AMPLIFIER)**

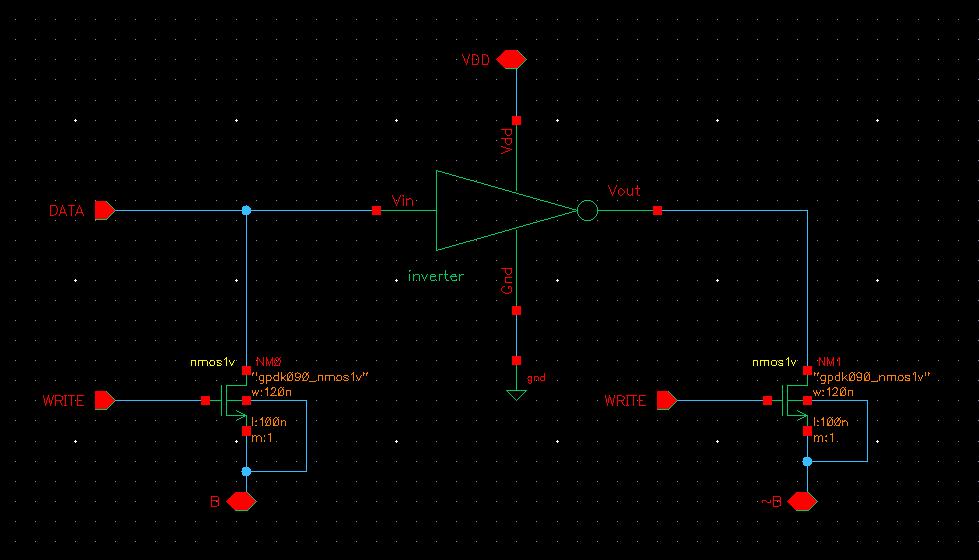
****

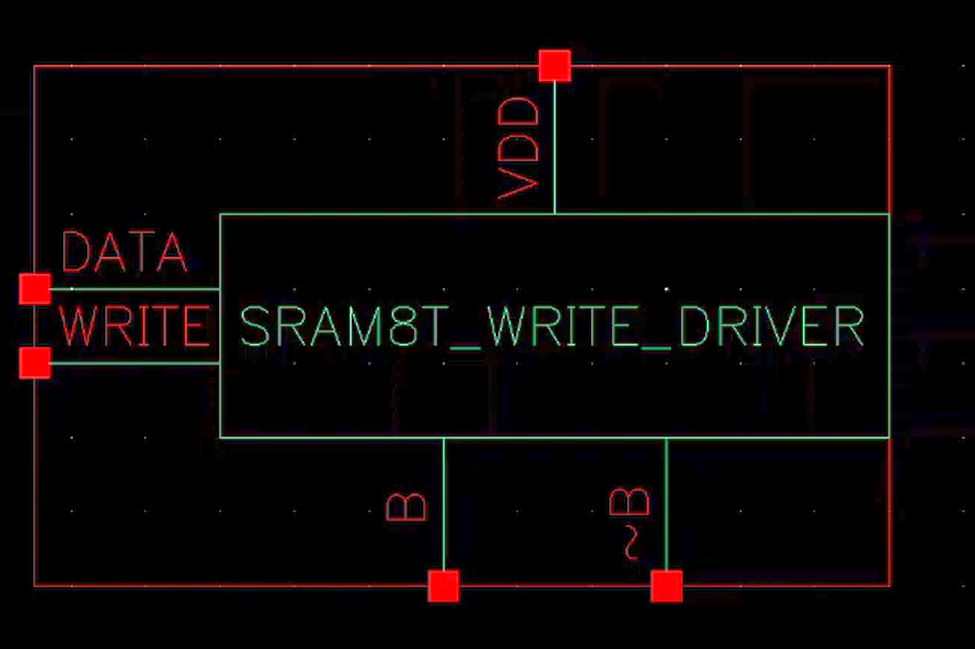
****

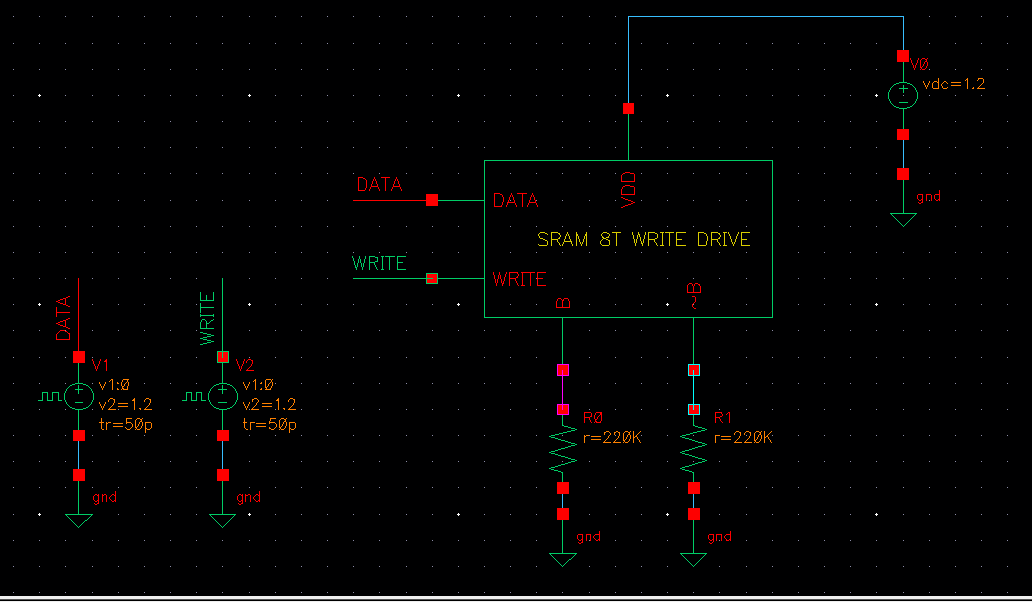
****

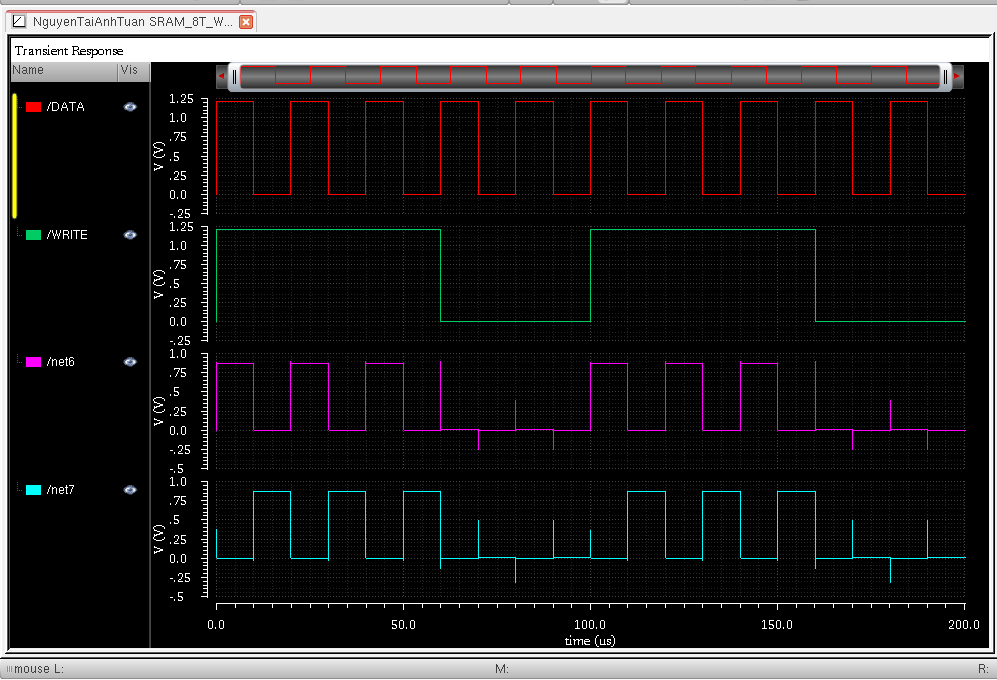
****

**IV. MẠCH GHI (WRITE DRIVER)**

****

****

****

****